

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月29日

出 願 番 号

Application Number:

特願2002-251220

[ ST.10/C ]:

[ JP2002-251220 ]

出 願 人

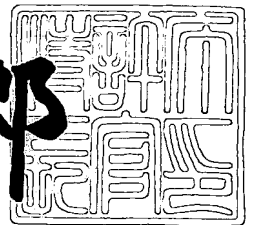
Applicant(s):

セイコーエプソン株式会社

2003年 5月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039001



【書類名】 特許願

【整理番号】 J0092687

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 米山 剛

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100110858

    【弁理士】

    【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

    【識別番号】 100107526

    【弁理士】

    【氏名又は名称】 鈴木 直郁

【選任した代理人】

    【識別番号】 100110777

    【弁理士】

    【氏名又は名称】 宇都宮 正明

【選任した代理人】

    【識別番号】 100100413

    【弁理士】

    【氏名又は名称】 渡部 温

【手数料の表示】

    【予納台帳番号】 085672



【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 データが入力される K ビット（K は 2 以上の整数）のデータバスと、

前記データバスに N ビット（N は K より小さい整数）のデータが入力されるときに、設定された信号に従って、前記データバスの上位側の N 個のラインと下位側の N 個のラインとの内の一方を介して入力されたデータを選択する選択回路と、

前記選択回路によって選択されたデータを記憶する RAM（ランダムアクセスメモリ）と、

を具備する半導体集積回路。

【請求項 2】 前記選択回路が、

入力されるデータのビット数 N に対応して設定された信号に従って、入力される N ビットのデータから複数のビットを選択する第 1 の選択回路と、

前記データバスの上位側のラインと下位側のラインとの内の所望の一方に対応して設定された信号に従って、前記第 1 の選択回路から出力される複数のビットの内の N 個を選択して前記 RAM に供給する第 2 の選択回路と、

を含む請求項 1 記載の半導体集積回路。

【請求項 3】 前記選択回路が、

前記データバスの上位側のラインと下位側のラインとの内の所望の一方に対応して設定された信号に従って、前記データバスの上位側の複数のラインと下位側の複数のラインとの内の一方を介して入力されたデータを選択する第 1 の選択回路と、

入力されるデータのビット数 N に対応して設定された信号に従って、前記第 1 の選択回路から出力されるデータから N 個のビットを選択して前記 RAM に供給する第 2 の選択回路と、

を含む請求項 1 記載の半導体集積回路。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、一般的に R A M を内蔵する半導体集積回路に関し、特に、入力されたデータを R A M に書き込み、R A M から読み出されたデータに基づいて L C D を駆動する半導体集積回路（L C D ドライバ）に関する。

## 【 0 0 0 2 】

## 【従来の技術】

従来の L C D ドライバにおいては、R A M に書き込むデータを M P U から入力するために用いられるデータバスのビット数に比べて入力データのビット数が少ない場合に、データバスの上位ビット側のラインにデータを割り当てていた。図 4 に、従来の L C D ドライバにおけるデータバスとデータとの関係を示す。ここでは、データバスのビット数が 8 ビットで、データのビット数が 5 ビットである場合について説明する。

## 【 0 0 0 3 】

図 4 に示すように、従来の L C D ドライバにおいては、データバスに含まれている 8 ビットのライン D 7 ～ D 0 の内の上位 5 ビットのライン D 7 ～ D 3 に、5 ビットのデータ R 4 ～ R 0 が供給される。なお、下位 3 ビットのライン D 2 ～ D 0 おけるデータは R A M に記憶されないため、ダミーデータ「\*」として表している。

## 【 0 0 0 4 】

しかしながら、客先の仕様によっては、データバスの下位ビット側のラインに割り当てられたデータを R A M に供給する必要がある、また、データのビット数も異なるため、その都度、L C D ドライバのレイアウトを変更する必要があった。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、R A M に書き込むデータを入力するために用いられるデータバスのビット数と入力データのビット数とが異なる場合に、データを入力するデータバスのラインを選択することができる半導体集積回路を

提供することを目的とする。

【0006】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体集積回路は、データが入力されるKビット（Kは2以上の整数）のデータバスと、データバスにNビット（NはKより小さい整数）のデータが入力されるときに、設定された信号に従って、データバスの上位側のN個のラインと下位側のN個のラインとの内の一方を介して入力されたデータを選択する選択回路と、選択回路によって選択されたデータを記憶するRAM（ランダムアクセスメモリ）とを具備する。

【0007】

ここで、選択回路が、入力されるデータのビット数Nに対応して設定された信号に従って、入力されるNビットのデータから複数のビットを選択する第1の選択回路と、データバスの上位側のラインと下位側のラインとの内の所望の一方に対応して設定された信号に従って、第1の選択回路から出力される複数のビットの内のN個を選択してRAMに供給する第2の選択回路とを含むようにしても良い。

【0008】

あるいは、選択回路が、データバスの上位側のラインと下位側のラインとの内の所望の一方に対応して設定された信号に従って、データバスの上位側の複数のラインと下位側の複数のラインとの内の一方を介して入力されたデータを選択する第1の選択回路と、入力されるデータのビット数Nに対応して設定された信号に従って、第1の選択回路から出力されるデータからN個のビットを選択してRAMに供給する第2の選択回路とを含むようにしても良い。

【0009】

このように構成した本発明によれば、RAMを内蔵する半導体集積回路において、RAMに書き込むデータを入力するために用いられるデータバスのビット数と入力データのビット数とが異なる場合に、データを入力するデータバスのラインを選択することができる。

【0010】

## 【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図 1 に、本発明の第 1 の実施形態に係る半導体集積回路の構成を示す。図 1 に示すように、この半導体集積回路は、MPU からデータを入力するために用いられる 8 ビットのデータバス D0 ～ D7 と、データバス D0 ～ D7 に入力される任意のビット数のデータから 2 ビットを各々選択するセクタ SEL (0) ～ SEL (6) と、セクタ SEL (0) ～ SEL (6) によって選択された 2 ビットの内の 1 ビットを各々選択するセクタ SEL (7) ～ SEL (13) と、セクタ SEL (7) ～ SEL (13) から 8 ビットのデータライン L0 ～ L7 を介して供給されるデータを記憶する RAM1 とによって構成される。

## 【0011】

ここで、入力されるデータのビット数に応じて、ビット数設定信号 P0 ～ P2 が、ハイレベル又はローレベルに設定される。ビット数設定信号 P0 ～ P2 の値を「1」又は「0」で表すと、一般的に N ビットのデータが入力される場合に、 $N = (P2 \cdot 2^2 + P1 \cdot 2 + P0)$  となるように、ビット数設定信号 P0 ～ P2 が設定される。例えば、1 ビットの入力データ R0 が入力される場合には、 $(P2, P1, P0) = (0, 0, 1)$  と設定し、2 ビットの入力データ R1 及び R0 が入力される場合には、 $(P2, P1, P0) = (0, 1, 0)$  と設定し、7 ビットの入力データ R6 ～ R0 が入力される場合には、 $(P2, P1, P0) = (1, 1, 1)$  と設定する。ただし、8 ビットの入力データ R7 ～ R0 が入力される場合には、 $(P2, P1, P0) = (0, 0, 0)$  と設定する。

## 【0012】

セクタ SEL (0) ～ SEL (6) の各々は、入力端子 X0 に入力されるデータを出力端子 B から出力し、ビット数設定信号 P0 ～ P2 に基づいて、入力端子 X0 ～ X7 に入力されるデータの中から入力端子 XN に入力されるデータを選択して、出力端子 A から出力する。ここで、 $N = (P2 \cdot 2^2 + P1 \cdot 2 + P0)$  である。

## 【0013】

セクタSEL (7) ~ SEL (13) の各々は、モード信号Mに基づいて、M=0である場合には、入力端子Aから入力されたデータを選択し、M=1である場合には、入力端子Bから出力されたデータを選択して、出力端子Oから出力する。モード信号Mは、MPUからデータが入力される際に、入力データがデータバスの上位ビット側に割り当てられているか下位ビット側に割り当てられているかを示しており、M=0である場合には、データバスD0~D7の上位ビット側を介してデータが入力されることを表し、M=1である場合には、データバスD0~D7の下位ビット側を介してデータが入力されることを示している。

## 【0014】

RAM1は、セクタSEL (7) ~ SEL (13) の出力するデータを記憶する。但し、RAM1は、セクタSEL (7) ~ SEL (13) の内の上側N個 ( $N = (P2 \cdot 2^2 + P1 \cdot 2 + P0)$ ) のセクタが出力するデータを記憶し、その他のセクタの出力するデータは記憶しない。

## 【0015】

次に、図2を参照しながら、本実施形態に係る半導体集積回路の動作について説明する。図2は、データバスD0~D7におけるデータを示す図である。ここで、記号「\*」は、ダミーデータを表している。

## 【0016】

セクタSEL (0) は、入力データがデータバスの下位ビット側に割り当てられている場合 (M=1) においては、入力端子X0に入力されたデータR0を出力端子Bから出力する。また、セクタSEL (0) は、入力データがデータバスの上位ビット側に割り当てられている場合 (M=0) においては、( $P2, P1, P0$ ) = (0, 0, 0) である場合に、入力端子X0に入力されたデータR0を出力端子Aから出力し、( $P2, P1, P0$ ) = (0, 0, 1) である場合に、入力端子X1に入力されたデータR0を出力端子Aから出力し、( $P2, P1, P0$ ) = (0, 1, 0) である場合に、入力端子X2に入力されたデータR0を出力端子Aから出力し、( $P2, P1, P0$ ) = (0, 1, 1) である場合に、入力端子X3に入力されたデータR0を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 0, 0) である場合に、入力端子X4に入力されたデータ



R 0 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 0, 1)$  である場合に、入力端子 X 5 に入力されたデータ R 0 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 1, 0)$  である場合に、入力端子 X 6 に入力されたデータ R 0 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 1, 1)$  である場合に、入力端子 X 7 に入力されたデータ R 0 を出力端子 A から出力する。一方、セレクトア SEL (7) は、 $M = 0$  である場合に、セレクトア SEL (0) の出力端子 A から出力されたデータを選択し、 $M = 1$  である場合に、セレクトア SEL (0) の出力端子 B から出力されたデータを選択して、データライン L 0 に出力する。

## 【 0 0 1 7 】

セレクトア SEL (1) は、入力データがデータバスの下位ビット側に割り当てられている場合 ( $M = 1$ ) においては、入力端子 X 0 に入力されたデータ R 1 を出力端子 B から出力する。また、セレクトア SEL (1) は、入力データがデータバスの上位ビット側に割り当てられている場合 ( $M = 0$ ) においては、 $(P 2, P 1, P 0) = (0, 0, 0)$  である場合に、入力端子 X 1 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (0, 1, 0)$  である場合に、入力端子 X 2 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (0, 1, 1)$  である場合に、入力端子 X 3 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 0, 0)$  である場合に、入力端子 X 4 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 0, 1)$  である場合に、入力端子 X 5 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 1, 0)$  である場合に、入力端子 X 6 に入力されたデータ R 1 を出力端子 A から出力し、 $(P 2, P 1, P 0) = (1, 1, 1)$  である場合に、入力端子 X 7 に入力されたデータ R 1 を出力端子 A から出力する。一方、セレクトア SEL (8) は、 $M = 0$  である場合に、セレクトア SEL (1) の出力端子 A から出力されたデータを選択し、 $M = 1$  である場合に、セレクトア SEL (1) の出力端子 B から出力されたデータを選択して、データライン L 1 に出力する。

## 【 0 0 1 8 】

セクタSEL (2) は、入力データがデータバスの下位ビット側に割り当てられている場合 ( $M=1$ ) においては、入力端子X0に入力されたデータR2を出力端子Bから出力する。また、セクタSEL (2) は、入力データがデータバスの上位ビット側に割り当てられている場合 ( $M=0$ ) においては、( $P2, P1, P0$ ) = (0, 0, 0) である場合に、入力端子X2に入力されたデータR2を出力端子Aから出力し、( $P2, P1, P0$ ) = (0, 1, 1) である場合に、入力端子X3に入力されたデータR2を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 0, 0) である場合に、入力端子X4に入力されたデータR2を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 0, 1) である場合に、入力端子X5に入力されたデータR2を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 1, 0) である場合に、入力端子X6に入力されたデータR2を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 1, 1) である場合に、入力端子X7に入力されたデータR2を出力端子Aから出力する。一方、セクタSEL (9) は、 $M=0$  である場合に、セクタSEL (2) の出力端子Aから出力されたデータを選択し、 $M=1$  である場合に、セクタSEL (2) の出力端子Bから出力されたデータを選択して、データラインL2に出力する。

#### 【0019】

セクタSEL (3) は、入力データがデータバスの下位ビット側に割り当てられている場合 ( $M=1$ ) においては、入力端子X0に入力されたデータR3を出力端子Bから出力する。また、セクタSEL (3) は、入力データがデータバスの上位ビット側に割り当てられている場合 ( $M=0$ ) においては、( $P2, P1, P0$ ) = (0, 0, 0) である場合に、入力端子X3に入力されたデータR3を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 0, 0) である場合に、入力端子X4に入力されたデータR3を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 0, 1) である場合に、入力端子X5に入力されたデータR3を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 1, 0) である場合に、入力端子X6に入力されたデータR3を出力端子Aから出力し、( $P2, P1, P0$ ) = (1, 1, 1) である場合に、入力端子X7に入力されたデータ

R 3 を出力端子 A から出力する。一方、セクタ SEL ( 9 ) は、M = 0 である場合に、セクタ SEL ( 2 ) の出力端子 A から出力されたデータを選択し、M = 1 である場合に、セクタ SEL ( 2 ) の出力端子 B から出力されたデータを選択して、データバスのライン L 2 に出力する。一方、セクタ SEL ( 1 0 ) は、M = 0 である場合に、セクタ SEL ( 3 ) の出力端子 A から出力されたデータを選択し、M = 1 である場合に、セクタ SEL ( 3 ) の出力端子 B から出力されたデータを選択して、データライン L 3 に出力する。

## 【 0 0 2 0 】

セクタ SEL ( 4 ) は、入力データがデータバスの下位ビット側に割り当てられている場合 ( M = 1 ) においては、入力端子 X 0 に入力されたデータ R 4 を出力端子 B から出力する。また、セクタ SEL ( 4 ) は、入力データがデータバスの上位ビット側に割り当てられている場合 ( M = 0 ) においては、( P 2 , P 1 , P 0 ) = ( 0 , 0 , 0 ) である場合に、入力端子 X 4 に入力されたデータ R 4 を出力端子 A から出力し、( P 2 , P 1 , P 0 ) = ( 1 , 0 , 1 ) である場合に、入力端子 X 5 に入力されたデータ R 4 を出力端子 A から出力し、( P 2 , P 1 , P 0 ) = ( 1 , 1 , 0 ) である場合に、入力端子 X 6 に入力されたデータ R 4 を出力端子 A から出力し、( P 2 , P 1 , P 0 ) = ( 1 , 1 , 1 ) である場合に、入力端子 X 7 に入力されたデータ R 4 を出力端子 A から出力する。一方、セクタ SEL ( 1 1 ) は、M = 0 である場合に、セクタ SEL ( 4 ) の出力端子 A から出力されたデータを選択し、M = 1 である場合に、セクタ SEL ( 4 ) の出力端子 B から出力されたデータを選択して、データライン L 4 に出力する。

## 【 0 0 2 1 】

セクタ SEL ( 5 ) は、入力データがデータバスの下位ビット側に割り当てられている場合 ( M = 1 ) においては、入力端子 X 0 に入力されたデータ R 5 を出力端子 B から出力する。また、セクタ SEL ( 5 ) は、入力データがデータバスの上位ビット側に割り当てられている場合 ( M = 0 ) においては、( P 2 , P 1 , P 0 ) = ( 0 , 0 , 0 ) である場合に、入力端子 X 5 に入力されたデータ R 5 を出力端子 A から出力し、( P 2 , P 1 , P 0 ) = ( 1 , 1 , 0 ) である場

合に、入力端子X 6に入力されたデータR 5を出力端子Aから出力し、 $(P 2, P 1, P 0) = (1, 1, 1)$ である場合に、入力端子X 7に入力されたデータR 5を出力端子Aから出力する。一方、セレクトA SEL (1 2)は、 $M = 0$ である場合に、セレクトA SEL (5)の出力端子Aから出力されたデータを選択し、 $M = 1$ である場合に、セレクトA SEL (5)の出力端子Bから出力されたデータを選択して、データラインL 5に出力する。

## 【 0 0 2 2 】

セレクトA SEL (6)は、入力データがデータバスの下位ビット側に割り当てられている場合( $M = 1$ )においては、入力端子X 0に入力されたデータR 6を出力端子Bから出力する。また、セレクトA SEL (6)は、入力データがデータバスの上位ビット側に割り当てられている場合( $M = 0$ )においては、 $(P 2, P 1, P 0) = (0, 0, 0)$ である場合に、入力端子X 6に入力されたデータR 6を出力端子Aから出力し、 $(P 2, P 1, P 0) = (1, 1, 1)$ である場合に、入力端子X 7に入力されたデータR 6を出力端子Aから出力する。一方、セレクトA SEL (1 3)は、 $M = 0$ である場合に、セレクトA SEL (6)の出力端子Aから出力されたデータを選択し、 $M = 1$ である場合に、セレクトA SEL (6)の出力端子Bから出力されたデータを選択して、データラインL 6に出力する。

## 【 0 0 2 3 】

RAM 1は、セレクトA SEL (7)～SEL (1 3)からデータラインL 0～L 6を介して出力されるデータと、データラインL 7を介して出力されるデータとを記憶する。

## 【 0 0 2 4 】

このように、Kビット(Kは2以上の整数)のデータバスを介してNビット(NはKより小さい整数)のデータを入力し、 $M = 0$ の場合には、データバスの上位側のN個のラインを介して入力されたデータをRAM 1に供給し、 $M = 1$ の場合には、データバスの下位側のN個のラインを介して入力されたデータをRAM 1に供給することができる。

## 【 0 0 2 5 】

次に、本発明の第 2 の実施形態について説明する。

図 3 に、本発明の第 2 の実施形態に係る半導体集積回路の構成を示す。図 3 に示すように、この半導体集積回路は、MPU からデータを入力するために用いられる 8 ビットのデータバス D 0 ～ D 7 と、データバス D 0 ～ D 7 に入力される任意のビット数を有するデータから所定数のビットをそれぞれ選択するセクタ SEL ( 2 0 ) ～ SEL ( 2 6 ) と、セクタ SEL ( 2 0 ) ～ SEL ( 2 6 ) によって選択された所定数のビット及びデータバス D 0 ～ D 7 に入力されるデータの全ビットの内から必要なビットを選択するセクタ SEL ( 2 7 ) と、セクタ SEL ( 2 7 ) から 8 ビット用のデータライン L 0 ～ L 7 を介して供給されるデータを記憶する RAM 2 とによって構成される。

#### 【 0 0 2 6 】

本実施形態において、セクタ SEL ( 2 0 ) ～ SEL ( 2 6 ) は、入力データのビット数 1 ～ 7 に対応して設けられており、モード信号 M に基づいて、入力データの上位側または下位側の対応するビット数をそれぞれ選択する。一方、セクタ SEL ( 2 7 ) は、ビット数設定信号 P 0 ～ P 2 によって設定されたビット数  $N = (P 2 \cdot 2^2 + P 1 \cdot 2 + P 0)$  に基づいて、セクタ SEL ( 2 0 ) ～ SEL ( 2 6 ) の内から、入力データのビット数に対応するセクタの出力データを選択する。

#### 【 0 0 2 7 】

セクタ SEL ( 2 0 ) ～ SEL ( 2 6 ) の各々において、M = 0 である場合には、入力端子 A 0、A 1、・・・から入力されるデータを選択し、M = 1 である場合に、入力端子 B 0、B 1、・・・から入力されるデータを選択して、出力端子 C 0、C 1、・・・に出力する。ここで、モード信号 M は、MPU からデータが入力される際に、入力データがデータバスの上位ビット側に割り当てられているか下位ビット側に割り当てられているかを示しており、M = 0 である場合には、データバス D 0 ～ D 7 の上位ビット側を介してデータが入力されることを表し、M = 1 である場合には、データバス D 0 ～ D 7 の下位ビット側を介してデータが入力されることを示している。

#### 【 0 0 2 8 】

セクタSEL (27) は、セクタSEL (20) から出力されたデータを入力端子A0に入力し、セクタSEL (21) から出力されたデータを入力端子B0及びB1に入力し、セクタSEL (22) から出力されたデータを入力端子C0～C2に入力し、セクタSEL (23) から出力されたデータを入力端子D0～D3に入力し、セクタSEL (24) から出力されたデータを入力端子E0～E4に入力し、セクタSEL (25) から出力されたデータを入力端子F0～F5に入力し、セクタSEL (26) から出力されたデータを入力端子G0～G6に入力し、データ入力ラインD0～D7に入力されるデータを入力端子H0～H7に入力する。なお、セクタSEL (27) の入力端子A1～A7、B2～B7、C3～C7、D4～D7、E5～E7、F6～F7、及び、G7には、RAM2に記憶するための有効なデータが入力されないもので、これらの入力端子は接地されている。

#### 【0029】

セクタSEL (27) は、ビット数設定信号P0～P2に従って、入力される複数組のデータの内の1組のデータを選択して、出力端子J0～J7からデータラインL0～L7に供給する。本実施形態においてデータ入力バスD0～D7に供給されるデータは、図2に示すものと同一である。

#### 【0030】

#### 【発明の効果】

以上述べたように、本発明によれば、RAMを内蔵する半導体集積回路において、RAMに書き込むデータを入力するために用いられるデータバスのビット数と入力データのビット数とが異なる場合に、データを入力するデータバスのラインを選択することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施形態に係る半導体集積回路の構成を示す図である。

#### 【図2】

データバスD0～D7におけるデータを示す図である。

#### 【図3】

本発明の第 2 の実施形態に係る半導体集積回路の構成を示す図である。

【図 4】

従来の LCD ドライバにおけるデータバスとデータとの関係を示す図である。

【符号の説明】

1、2 RAM

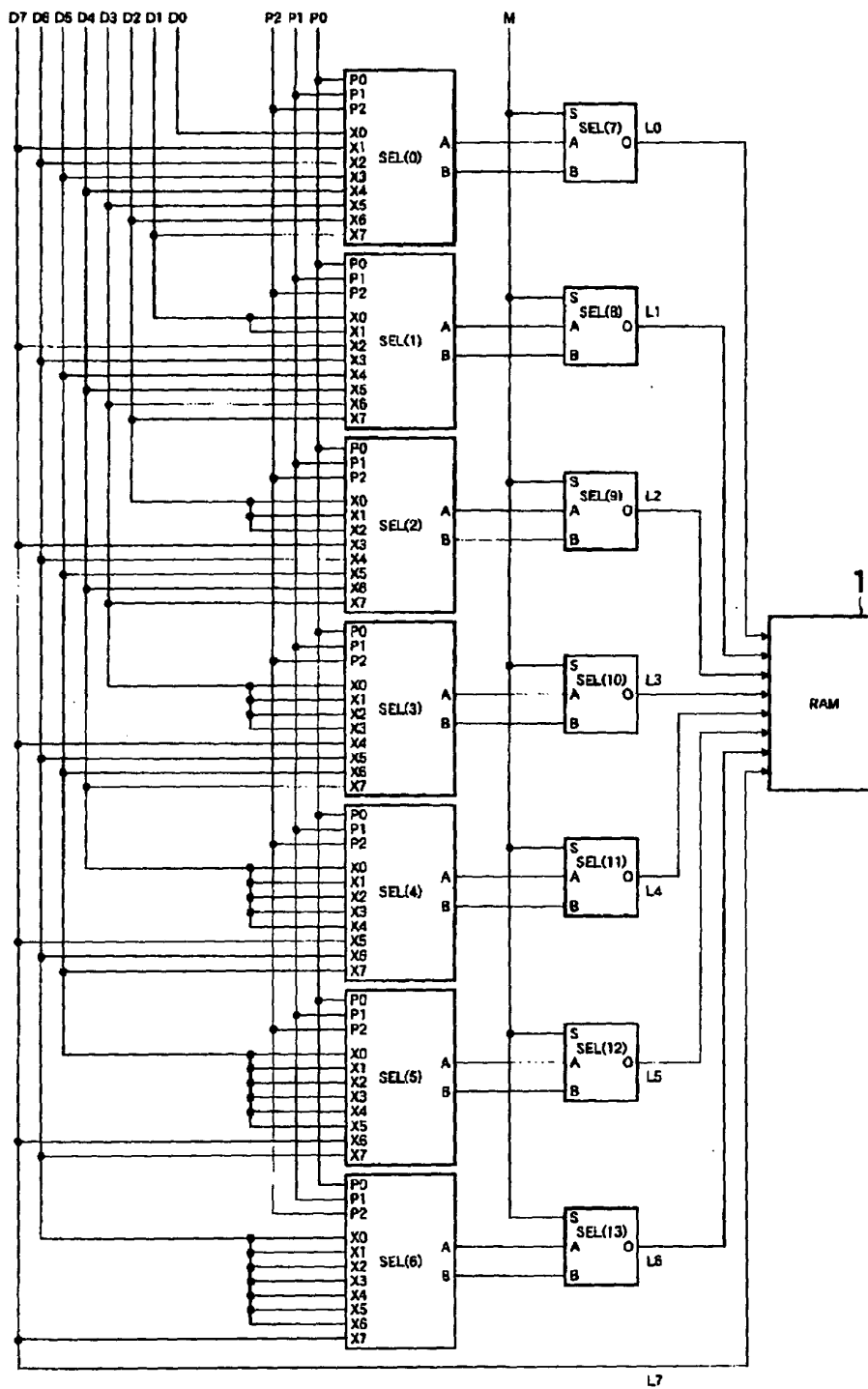
SEL ( 0 ) ～ SEL ( 1 3 ) 、 SEL ( 2 0 ) ～ SEL ( 2 7 ) セレクタ

D 0 ～ D 7 データバス

L 0 ～ L 7 データライン

【書類名】 図面

【図 1】

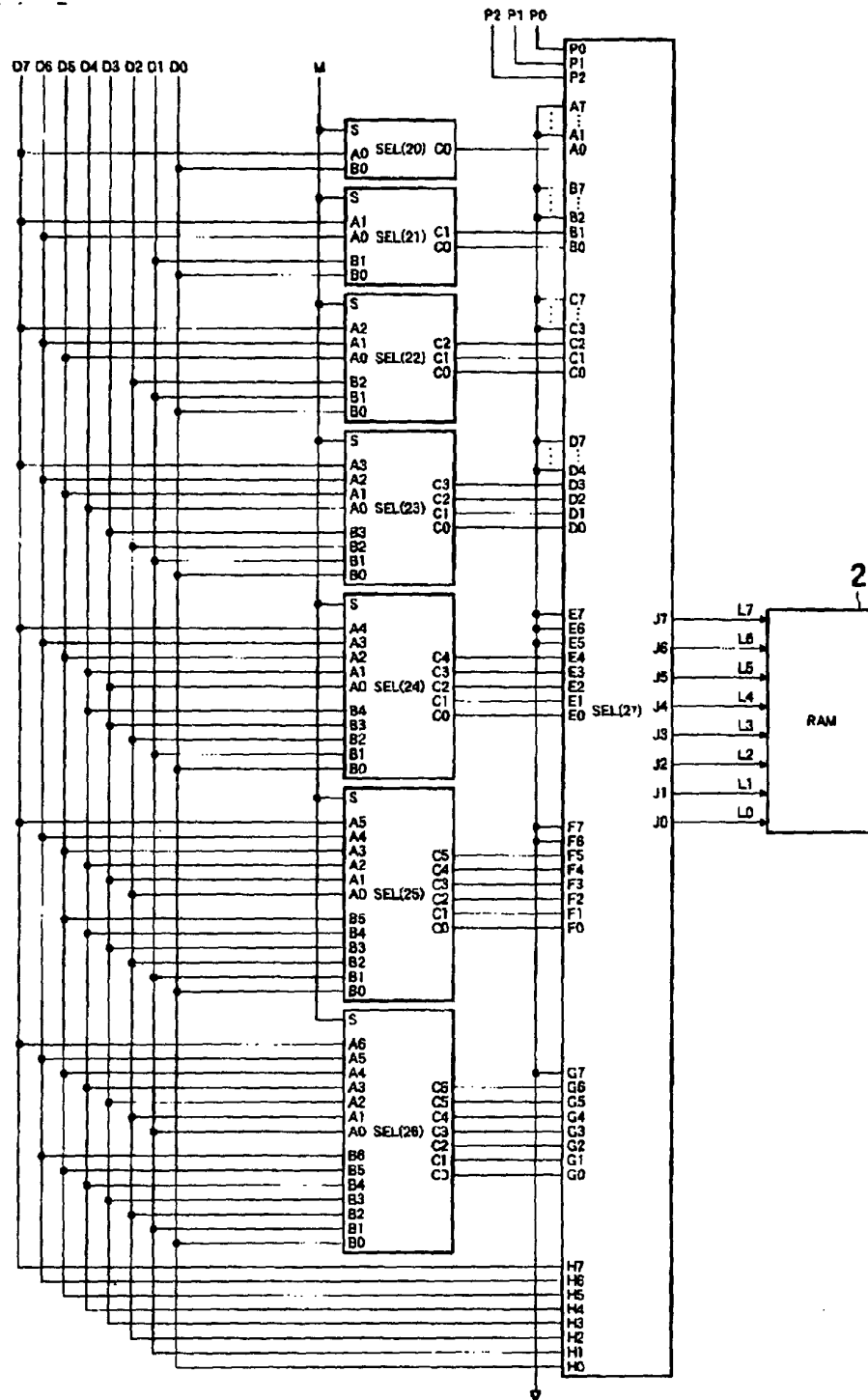




【図 2】

P2	P1	P0	M	D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	R0	*	*	*	*	*	*	*
			1	*	*	*	*	*	*	*	R0
0	1	0	0	R1	R0	*	*	*	*	*	*
			1	*	*	*	*	*	*	R1	R0
0	1	1	0	R2	R1	R0	*	*	*	*	*
			1	*	*	*	*	*	R2	R1	R0
1	0	0	0	R3	R2	R1	R0	*	*	*	*
			1	*	*	*	*	R3	R2	R1	R0
1	0	1	0	R4	R3	R2	R1	R0	*	*	*
			1	*	*	*	R4	R3	R2	R1	R0
1	1	0	0	R5	R4	R3	R2	R1	R0	*	*
			1	*	*	R5	R4	R3	R2	R1	R0
1	1	1	0	R6	R5	R4	R3	R2	R1	R0	*
			1	*	R6	R5	R4	R3	R2	R1	R0
0	0	0	0	R7	R6	R5	R4	R3	R2	R1	R0
			1	R7	R6	R5	R4	R3	R2	R1	R0

【図 3】



【図 4】

データ のライン	D7	D6	D5	D4	D3	D2	D1	D0
データ	R4	R3	R2	R1	R0	*	*	*

## 【書類名】 要約書

## 【要約】

【課題】 RAMに書き込むデータを入力するために用いられるデータバスのビット数と入力データのビット数とが異なる場合に、データを入力するデータバスのラインを選択することができる半導体集積回路を提供する。

【解決手段】 この半導体集積回路は、データが入力されるKビット（Kは2以上の整数）のデータバスD0～D7と、データバスにNビット（NはKより小さい整数）のデータが入力されるときに、設定された信号に従って、データバスの上位側のN個のラインと下位側のN個のラインとの内的一方を介して入力されたデータを選択する選択回路SEL（0）～SEL（13）と、選択回路によって選択されたデータを記憶するRAM（ランダムアクセスメモリ）1とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-251220	
受付番号	50201289123	
書類名	特許願	
担当官	第五担当上席	0094
作成日	平成14年 8月30日	

<認定情報・付加情報>

【提出日】	平成14年 8月29日
-------	-------------

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社